



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09245439 A**(43) Date of publication of application: **19.09.97**

(51) Int. Cl.

G11B 20/14
G11B 7/00
G11B 20/18
G11B 20/18
G11B 20/18

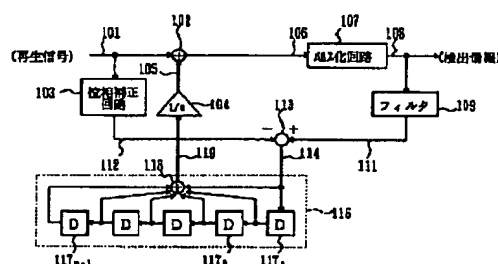
(21) Application number: **08049879**(71) Applicant: **NEC CORP**(22) Date of filing: **07.03.96**(72) Inventor: **HONMA HIROMI**(54) **INFORMATION DETECTING APPARATUS**

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To improve reliability of an information detecting apparatus by compensating for a DC fluctuating component included in the reproduced signal detected from a disk medium.

SOLUTION: A reproduced signal 101 is input to an adder 102 and a phase compensating circuit 103. A result of addition 106 is input to a pulse forming circuit 107 and a binary information 108 is output as a detected information. A filter output 111 is input to a subtractor 113 with a reproduced signal 112 after phase compensation to generate a difference signal 114. The difference signal 114 output from the subtractor 113 is then input to an integrator 116. Result of addition 119 adding n difference signals 114 output from the integrator 116 is then input to a divider 104. The divider 104 divides the added value n with a value n to add the mean value providing an offset 105. The offset 105 is then fed back to the adder 102, thereby, compensating the DC component superimposed on the reproduced signal 101 for each discrete time to realize accurate information detection.



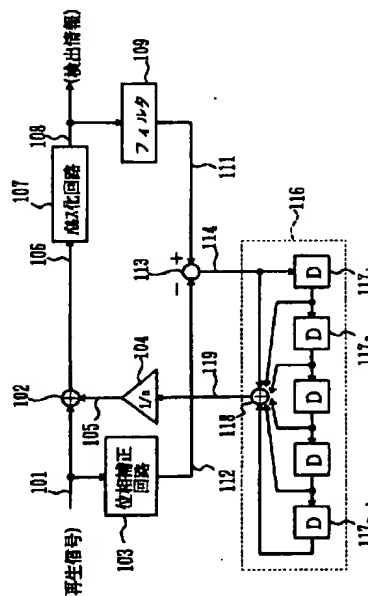
(11)特許出願公開番号

(43)公開日 平成9年(1997)9月19日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 20/14	3 4 1	9463-5D	G 1 1 B 20/14	3 4 1 B
7/00		9464-5D	7/00	T
20/18	5 3 4		20/18	5 3 4 A
	5 7 0			5 7 0 F
	5 7 2			5 7 2 F

審査請求 有 請求項の数 5 O L (全 14 頁)

(74)代理人 弁理士 山内 梅雄



【特許請求の範囲】

【請求項1】 ディスク媒体から検出した再生信号にオフセット量を加算するための加算器と、
この加算器の出力を入力して2値情報を出力するパルス化回路と、

このパルス化回路から出力される2値情報を入力してその周波数特性を変更するフィルタと、
前記再生信号の位相をフィルタの出力と同位相に補正する位相補正回路と、

この位相補正回路の出力と前記フィルタの出力との差を生成する減算器と、

この減算器の出力を入力する有限な時定数の積分器と、
この積分器の出力を除算しその結果を前記加算器に前記オフセット量としてフィードバックする除算回路とを具備することを特徴とする情報検出装置。

【請求項2】 ディスク媒体から検出した再生信号にオフセット量を加算するための加算器と、
この加算器の出力を入力して2値情報を出力するパルス化回路と、

このパルス化回路から出力される2値情報を入力してその周波数特性を変更するフィルタと、
前記再生信号の位相をフィルタの出力と同位相に補正する位相補正回路と、

この位相補正回路の出力と前記フィルタの出力との差を生成する減算器と、

この減算器の出力を入力とする積分器と、
この積分器の出力を除算する除算回路と、

この除算回路の出力をラッチしてこれを前記加算器に前記オフセット量としてフィードバックするラッチ回路と、

再生クロックを入力して前記積分器のクリアタイミングとラッチ回路のラッチタイミングとをそれぞれ生成するタイミング発生回路とを具備することを特徴とする情報検出装置。

【請求項3】 ディスク媒体から検出した再生信号にオフセット量を加算するための加算器と、
この加算器の出力を入力して2値情報を出力するパルス化回路と、

このパルス化回路から出力される2値情報を入力してその周波数特性を変更するフィルタと、
前記再生信号のレベルを保持するための第1のラッチ回路と、

前記フィルタの出力を保持するための第2のラッチ回路と、

これら第1および第2のラッチ回路の出力の差を生成する減算器と、

この減算器の出力を入力とする積分器と、
この積分器の出力を除算する除算回路と、

この除算回路の出力をラッチしてこれを前記加算器に前記オフセット量としてフィードバックする第3のラッチ

回路と、

再生クロックを入力して前記積分器のクリアタイミングと前記第1、第2および第3のラッチ回路のラッチタイミングをそれぞれ生成するタイミング生成回路とを具備することを特徴とする情報検出装置。

【請求項4】 ディスク媒体から検出した再生信号にオフセット量を加算するための加算器と、
この加算器の出力を入力して2値情報を出力するパルス化回路と、

このパルス化回路から出力される2値情報を入力してその周波数特性を変更するフィルタと、

前記再生信号を入力とする第1の積分器と、

前記フィルタの出力を入力とする第2の積分器と、

前記第1の積分器の出力を保持するための第1のラッチ回路と、

前記第2の積分器の出力を保持するための第2のラッチ回路と、

これら第1および第2のラッチ回路の出力の差を生成する減算器と、

この減算器の出力を除算する除算回路と、

この除算回路の出力をラッチしてこれを前記加算器に前記オフセット量としてフィードバックする第3のラッチ回路と、

再生クロックを入力して前記第1および第2の積分器内ラッチ回路のクリアタイミングと前記第1、第2および第3のラッチ回路のラッチタイミングをそれぞれ生成するタイミング発生回路とを具備することを特徴とする情報検出装置。

【請求項5】 前記パルス化回路としてビタビ検出器を用いることを特徴とする請求項1～請求項4記載の情報検出装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は光ディスクのようなディスク媒体に高密度で記録した情報を誤りなく検出するための情報検出装置に関する。

【0002】

【従来の技術】 コンピュータの高性能化に伴って、大容量のデータの処理が可能になっている。これに伴って、光ディスクや磁気ディスク等の大容量のファイル装置が普及している。コンピュータの低価格化と各種ソフトウェアの大容量化もこれに拍車をかけ、更なる高密度ファイル装置が必要になってきている。コードファイルを格納するファイル装置における情報の検出信頼性は、光ディスクの場合でエラーレートが 10^{-5} 以下、磁気ディスクの場合で 10^{-9} 以下と、非常に高い精度が要求されている。高密度化に対してこのような高性能の情報を維持するためには、高度な信号処理技術が欠かせなくなっている。このようなことから、近年、後に詳細に説明するPRML (Partial Response Maximum Likelihood

10

20

30

40

50

）信号処理技術を使用したファイル装置の製品化が相次いでいる。

【0003】第1世代の光ディスクで採用されていた情報検出方式は、ピーク検出方式と呼ばれている。この方式では、再生信号の一階微分のコンパレート出力を用いて記録ビット位置を検出している。このため、この方式では再生信号に多少の直流変動が重畳しても、問題なく検出を行うことができる。しかしながら、ピーク検出を行うためにはマークポジション記録を用いる必要があり、マークエッジ記録と比較すると、高密度記録時の再生信号のS/N（信号対雑音）比の低下が大きいので、高密度化が困難であるという問題があった。

【0004】高密度化した再生波形から情報を誤り無く検出するためには、前記したPRML信号処理技術が有効である。このPRML信号処理技術という名称は、PR（Partial Response）等化チャネルを最尤検出（Maximum Likelihood detection）することに基づいている。ただし、最尤検出器としてはビダビ検出器が用いられることが多い。PRML方式は、線形な入力信号の場合に非常に良好な検出性能を有するが、前記したピーク検出方式と比べると再生信号のレベル変動に対するマージンが非常に狭いという欠点がある。特に光ディスクの場合には、再生信号における直流変動成分を無視することができないので、何らかの方策をたてる必要がある。

【0005】光ディスクの再生信号に重畳される直流変動は、主に次の3つの要因が考えられる。

（1）ポリカーボネイト基板等の材料の複屈折に起因するもの

ディスクの周方向でDC（直流）から10kHz程度までの直流変動が見られる。

（2）セクタの先頭で発生するもの

セクタ分割されたコードファイルでは、セクタの先頭にプリフォーマット領域を持たせてランダムアクセスを可能としている。このプリフォーマット領域に格納されるプリフォーマット情報が大きなDC成分を持っている。したがって、プリフォーマット直後のデータに影響を及ぼしてしまう。

（3）変調符号に起因するもの

第一世代の光ディスクで採用されている変調符号は、ランゲルス制限符号の（2，7）RLL符号（run length limited code）であり、DCフリーではないため、記録される情報パターンによっては直流変動を有してしまう。ここでDCフリーとは、符号自体の周波数特性においてDC近傍の周波数成分の振幅が零であるという意味である。

【0006】以上、これらの原因が複雑に絡み合って、レベル検出時あるいはビダビ検出時の性能が非常に劣化してしまうといった問題があった。

【0007】図10は、このような直流成分を含んだ再生信号のレベル検出を正確に行うために従来提案された

情報検出装置の要部を表わしたものである。この装置では、再生信号11をローパスフィルタ（LPF）12に入力して直流成分を抽出する。そして、ローパスフィルタ12の出力13を閾値として比較器（Comp）14に入力し、再生信号11のレベルを検出した検出信号15を得るようにしている。これにより、直流変動による影響を除去することができる。

【0008】しかしながら、この図10に示した情報検出装置では、符号自体に含まれているDC成分にも追従してしまうため、DCフリーでない符号を用いた場合には検出データの信頼性が低下してしまうという問題点がある。

【0009】図11は特開平6-325504号公報に示されたビダビ検出を前提にした従来の装置の要部を示したものである。この情報検出装置のビダビ復号回路20は、図示しないアナログディジタル変換回路の出力データDRFを図示しないイコライザ回路を介して波形等化した後、演算回路21に入力し、ここでリファレンス領域のデータを取り込んで所定の演算処理を実行することにより、センタレベルCEN、平均振幅Sを検出する。

【0010】さらにビダビ復号回路20は、前記したアナログディジタル変換回路の出力データDRFを減算回路（SUB）22に入力し、ここで演算回路21で検出したセンタレベルCENを減算することにより、再生信号RFの振幅値 Y_K を検出する。これに対してセレクト（SEL）23は、パターンデコーダ（DEC）24で検出された1ビット前のデコード結果に基づいて接点を切り替え、減算回路22から出力される再生信号RFの振幅値 Y_K または反転回路（-1）25の出力データを選択的に出力する。

【0011】レジスタ24は、このセレクト23の出力データを保持して出力し、反転回路25はこの出力データの符号を反転して出力する。これによりビダビ復号回路20は、パターンデコーダ24のデコード結果に基づいてセレクト23の接点を切り換え、これにより所定の演算処理を実行して基準値 Y_{p-1} を生成する。

【0012】図示しない加算回路は、この基準値 Y_{p-1} および振幅値 Y_K を加算することにより、 $Y_K + Y_{p-1}$ を検出する。セレクト（SEL）27および28は、それぞれパターンデコーダ24で検出された1ビット前のデコード結果に基づいて接点を切り換えることにより、それぞれ値0またはS、値-Sまたは0のデータを選択的に出力し、これにより1ビット前のデコード結果に基づいて基準値 B_{K-1} を設定して、値 $S/2 + B_{K-1}$ 、 $-S/2 + B_{K-1}$ を設定する。

【0013】比較回路（CMP）29は、セレクト27の出力データと加算回路26の出力データとの間で比較結果を得ることにより、所定の関係式が成立するか否かを判断し、比較回路30はセレクト28の出力データと

10

20

30

40

50

加算回路26の出力データとの間で比較結果を得ることにより、所定の関係式が成立するか否かを判断する。

【0014】パターンデコーダ24は、この比較回路29および30の比較結果に基づいていずれの関係式が成立するか否かの判断結果を出力し、これによりビタビ復号回路20においては、前記したアナログディジタル変換回路の出力データについて1ビット単位で上述の処理を繰り返して順次デコード結果を検出するようにし、このデコード結果に基づいて基準値 Y_p および B_K を設定する。

【0015】これに対して割算器(1/2)31および32は、それぞれ演算回路21で検出された振幅値 S および $-S$ を1/2に割算して出力し、演算回路33および34は、それぞれ減算回路22の出力データ Y_K から割算器31および32の出力データ $S/2$ および $-S/2$ を減算し、その減算結果の最上位ビットを出力する。これにより減算回路33および34は、所定の演算を行い、その演算結果をビットデコーダ(BITDEC)35に出力する。

【0016】これに対してセレクタ36は、パターンデコーダ24で検出された1ビット前のデコード結果に基づいて反転回路37の出力データ、割算器31および32の出力データ $S/2$ および $-S/2$ を選択的に出力し、レジスタ38は、この選択出力データを保持して出力する。反転回路37は、レジスタ38の出力データを入力して符号を反転して出力する。これによりビタビ復号回路20においては、セレクタ36、反転回路37、レジスタ38で基準値 B_{K-1} の値を設定するようにしている。

【0017】これに対して減算回路39は、レジスタ24の出力結果からレジスタ38の出力データを減算し、減算結果の最上位ビットを出力することにより、所定の演算結果を得、この結果をビットデコーダ35に出力する。ビットデコーダ35は、パターンデコーダ24のデコード結果に基づいて、減算回路33、34、39の出力データを選択的にレジスタ40に出力する。

【0018】ここでレジスタ40は、20ビットのシフトレジスタで構成され、これによりビタビ復号回路20は復号結果を20ビット順次保持して出力するようになっている。更にビタビ復号回路20は、このレジスタ40と並列的に20ビットのシフトレジスタ41を有し、ビットデコーダ35はレジスタ40に復号結果を出力する際に、このレジスタ40に格納する復号結果に対して第2の遷移パターンが検出されるとシフトレジスタ41にフラグを格納するようになっている。

【0019】このときビタビ復号回路20は、パターンデコーダ24で検出された第1および第3の遷移パターン検出結果に基づいて、第2の遷移パターンに対応するレジスタ40の復号データが正しく復号されたものか否かを判断し、ここで否定結果が得られると、シフトレジ

スタ41のフラグを基準にして正しく復号しなかったデータの論理レベルを訂正し、これにより遷移検出結果に基づいて正しいデータを復号し得るようになっている。

【0020】また演算回路21は、パターンデコーダ24において、+1のレベルから-1のレベルまたは-1のレベルから+1のレベルに0レベルを横切って遷移する第2のパターンが検出された場合、図示しないアナログディジタル変換回路の出力データを取り込んで保持し、このデータが所定個数だけ累積されると、その平均値でセンタレベル CEN を更新する。

【0021】この図11に示した装置では、このように再生信号の信号レベルがセンタレベルを横切る遷移パターンを検出する。そして、そのときの入力レベルとセンタレベルの差が零になるようにセンタレベルを補正してビタビ検出を行うようにしている。しかしながら、この提案の装置では、特定の遷移パターンだけから直流成分を検出するため、検出直流レベルの S/N 比が低いという欠点がある。また、クラス“1”のパーシャルレスポンスチャンネルのみに言及している点にも問題点がある。

【0022】図12は、特開平7-45009号公報で提案された情報検出装置の要部を示したものである。この装置のクロックマーク検出回路51は、サーボエリアのクロックマーク信号を検出する。クロック再生回路52は検出したクロックマークからクロック信号をPLLにより再生する。A/D変換回路53、54は、アナログ再生信号をディジタル値に変換する。波形等化回路55はディジタル再生信号の波形等化を行う。スライス検出回路56は、波形等化後の再生信号を特定のスライスレベルによりデータを検出する。システムコントローラ57は、光ディスク装置全体にかかわる動作制御を行う。ECC制御回路58は、記録データに誤り検出用のコードを付加すると共に、再生データの誤りを訂正する。

【0023】SCSI制御回路59は、光ディスク装置外部へのデータ転送をSCSIプロトコルにしたがって制御する。サーボマーク検出回路60はサーボエリアのサーボマーク信号を検出する。トラッキング誤差信号生成回路61は、検出したサーボマーク信号よりトラッキング誤差信号を生成する。D/A変換回路62は、ディジタルトラッキング誤差信号をアナログ信号に変換する。トラッキング制御回路63は、光ディスクのトラッキング位置の制御を行う。光ディスクの再生領域からのビットによる再生信号入力64は、クロックマーク検出回路51およびA/D変換回路53に入力され、書き替え領域からの光磁気記録による再生信号入力65はA/D変換回路54に入力される。光ディスクに記録する記録出力信号66は、切換回路80から出力される。

【0024】再生信号入力64はクロックマーク検出回路51に入力され、サーボ領域に埋め込まれたクロックビットが検出され、クロック再生回路52によりクロッ

10

20

30

40

50

ク信号およびクロックに同期した各種の信号が生成され、各ブロックに出力される。また、サーボ領域のサーボマークはA/D変換回路53でデジタル値に変換された後、サーボマーク検出回路60で検出され、このサーボマークからトラッキング誤差信号生成回路61において、デジタルトラッキング誤差信号を出力する。このデジタルトラッキング誤差信号はD/A変換回路62でアナログ信号に変換され、トラッキング制御回路63でディスクのトラック制御が行われる。

【0025】図示しない光ディスクのデータ領域の第1ヘッダはプリビットされた再生信号である。これはサーボ領域の再生信号と同様に再生信号入力64として入力され、A/D変換回路53でデジタル値に変換される。この再生信号は第1ヘッダのデータだけを復号すればよいので、ビタビ復号の複雑な処理を行うことなく、波形等化回路55で波形等化し、等化した信号はスライス検出回路56で所定のスライスレベルにより“0”、“1”のデータ検出を行い、その出力はシステムコントローラ57に入力される。システムコントローラ57では第1ヘッダに記録されたディスク装置全体に関する制御処理を行う。

【0026】データをディスクに記録する場合は、外部入出力端子67より一連のデータが入力され、SCSI制御回路59でセクタ単位に分割したデータ転送制御が行われる。セクタ単位のデータはECC制御回路58に入力され、ここでセクタごとに誤り訂正符号が付加された後、切換回路80に入力される。パターン発生回路90は第2ヘッダの64ビットの“01”の繰り返しパターン、第3ヘッダの64ビットのランダムパターンを生成し、この出力は切換回路80に入力される。切換回路80はこれらのテストパターンとECCが付加された転送データとをヘッダ部とデータ部とで切り換え、そのままデータを変調しないNRZの記録出力信号66として出力する。

【0027】ディスクからデータを再生する場合には、記録された再生信号は再生信号入力65として入力され、A/D変換回路54でデジタル値に変換後、第2ヘッダの“01”パターンの再生信号は切換回路70で予測制御回路69の側に切り換えられて入力される。予測制御回路69は再生信号の予測レベルとどの程度直流ずれがあるかを示すオフセット値を算出すると共に、基準となる予測振幅値に加算して、ビタビ復号回路68に初期予測振幅値として入力する。

【0028】第3ヘッダのランダムパターンとデータ部の再生信号は第2ヘッダの再生信号と同様に再生信号入力65として入力され、A/D変換回路54でデジタル値に変換後、切換回路70でビタビ復号回路68の側に切り換えられて入力される。ビタビ復号回路68は、予測制御回路69から入力される予測振幅値を適応的に制御しながらビタビ復号を行う。復号されたデータはE

CC制御回路58に入力され、ここで誤り訂正された後、SCSI制御回路59を介して外部入出力端子67より出力される。ここでランダムデータが記録される第3ヘッダより切換回路70をビタビ復号回路68の側に切り換えるのは、予測振幅値の適応制御を本来のデータ部から開始するよりも、1セグメント早めに開始することで、本来のデータ部でのビタビ復号の予測振幅値がより正確に制御されているはずだからである。

【0029】この図12に示した情報検出装置では、このようにブロック化された伝送データの先頭にテストパターンを付加し、このテストパターンによって伝送信号の直流成分を算出し補正してビタビ検出を行っている。しかしながら、この装置ではテストパターンを付加する必要があるために伝送効率が低くなってしまい、高密度記録が困難であるという問題がある。また、ブロック化された1つの伝送データ内の直流変動には全く対処できないといった欠点がある。

【0030】

【発明が解決しようとする課題】このため、高密度化された情報をビタビ検出等の検出方式を用いて高品質に再生するためには、次の3つの課題を解決する必要がある。

(1) DCフリーではない変調符号を用いた場合でも、再生時に直流成分を補償することができること。

(2) できるだけS/N比の高い直流成分を検出すること。

(3) ランダムな再生信号からも直流成分を検出することができること。

【0031】そこで本発明の目的は、ディスク媒体から検出した再生信号に含まれる直流変動成分を補償することにより、信頼性を向上させた情報検出装置を提供することにある。

【0032】

【課題を解決するための手段】請求項1記載の発明では、(イ)ディスク媒体からの検出した再生信号にオフセット量を加算するための加算器と、(ロ)この加算器の出力を入力して2値情報を出力するパルス化回路と、(ハ)このパルス化回路から出力される2値情報を入力してその周波数特性を変更するフィルタと、(ニ)再生信号の位相をフィルタの出力と同位相に補正する位相補正回路と、(ホ)この位相補正回路の出力と前記フィルタの出力との差を生成する減算器と、(ヘ)この減算器の出力を入力する有限な時定数の積分器と、(ト)この積分器の出力を除算しその結果を前記加算器に前記オフセット量としてフィードバックする除算回路とを情報検出装置に具備させる。

【0033】また請求項2記載の発明では、(イ)ディスク媒体から検出した再生信号にオフセット量を加算するための加算器と、(ロ)この加算器の出力を入力して2値情報を出力するパルス化回路と、(ハ)このパルス

化回路から出力される2値情報を入力してその周波数特性を変更するフィルタと、(ニ)再生信号の位相をフィルタの出力と同位相に補正する位相補正回路と、(ホ)この位相補正回路の出力とフィルタの出力との差を生成する減算器と、(ヘ)この減算器の出力を入力とする積分器と、(ト)この積分器の出力を除算する除算回路と、(チ)この除算回路の出力をラッチしてこれを加算器にオフセット量としてフィードバックするラッチ回路と、(リ)再生クロックを入力して積分器のクリアタイミングとラッチ回路のラッチタイミングとをそれぞれ生成するタイミング発生回路とを情報検出装置に具備させる。

【0034】更に請求項3記載の発明では、(イ)ディスク媒体から検出した再生信号にオフセット量を加算するための加算器と、(ロ)この加算器の出力を入力して2値情報を出力するパルス化回路と、(ハ)このパルス化回路から出力される2値情報を入力してその周波数特性を変更するフィルタと、(ニ)再生信号のレベルを保持するための第1のラッチ回路と、(ホ)フィルタの出力を保持するための第2のラッチ回路と、(ヘ)これら第1および第2のラッチ回路の出力の差を生成する減算器と、(ト)この減算器の出力を入力とする積分器と、(チ)この積分器の出力を除算する除算回路と、(リ)この除算回路の出力をラッチしてこれを加算器にオフセット量としてフィードバックする第3のラッチ回路と、(ヌ)再生クロックを入力して積分器のクリアタイミングと第1、第2および第3のラッチ回路のラッチタイミングをそれぞれ生成するタイミング生成回路とを情報検出装置に具備させる。

【0035】また請求項4記載の発明では、(イ)ディスク媒体から検出した再生信号にオフセット量を加算するための加算器と、(ロ)この加算器の出力を入力して2値情報を出力するパルス化回路と、(ハ)このパルス化回路から出力される2値情報を入力してその周波数特性を変更するフィルタと、(ニ)再生信号を入力とする第1の積分器と、(ホ)フィルタの出力を入力とする第2の積分器と、(ヘ)第1の積分器の出力を保持するための第1のラッチ回路と、(ト)第2の積分器の出力を保持するための第2のラッチ回路と、(チ)これら第1および第2のラッチ回路の出力の差を生成する減算器と、(リ)この減算器の出力を除算する除算回路と、(ヌ)この除算回路の出力をラッチしてこれを加算器にオフセット量としてフィードバックする第3のラッチ回路と、(ル)再生クロックを入力して第1および第2の積分器内ラッチ回路のクリアタイミングと第1、第2および第3のラッチ回路のラッチタイミングをそれぞれ生成するタイミング発生回路とを情報検出装置に具備させる。

【0036】請求項5記載の発明では、請求項1～請求項4記載の情報検出装置でパルス化回路としてビタビ検

出器を用いることを特徴としている。

【0037】パルス化後の2値情報をフィルタリング処理することによって、パルス化前の符号間干渉を有するデータ列のチャンネルに一致させることができる。フィルタリング後の出力系列を b_n とし、パルス化回路入力系列 a_n を適当な位相補正回路で同位相化した系列 c_n と比較すると、直流変動およびノイズがない場合に両者は一致するはずである。逆に、パルス化回路入力系列 a_n に一定のオフセット量を付加して検出した場合に、同位相化した系列 c_n のすべてのサンプル値に対して同じオフセット量が付加されるが、フィルタリング後の出力系列 b_n ではオフセットがない理想的な系列となり、出力系列 b_n と同位相化した系列 c_n の差の平均値がパルス化回路入力系列 a_n に加えたオフセット量となる。

【0038】この検出されたオフセット量をパルス化回路の入力段にフィードバックしてオフセット補正を行うことで、直流変動を補正することができる。出力系列 b_n と同位相化した系列 c_n の差のみからもオフセット量を検出することが可能であるが、加算平均をとることで、より S/N 比の高いオフセット量を検出することができることになる。

【0039】

【発明の実施の形態】

【0040】

【実施例】以下実施例につき本発明を詳細に説明する。

【0041】第1の実施例

【0042】図1は本発明の第1の実施例における情報検出装置の構成を表わしたものである。この情報検出装置は請求項1記載の発明に対応するものである。再生信号101は、この情報検出装置の加算器102と位相補正回路103に入力されるようになっている。ここで再生信号101は図示しない光ディスクから反射されたレーザー光を光検出器によって電気信号に変換した後、所定の処理を経て得られる信号である。このような再生信号101を得るためには、まず図示しないレーザダイオードから射出されコリメータレンズを通過した後のコリメータ光を光学レンズを用いて微小スポットに集光し、サーボ技術を用いて光ディスクの情報トラックに正確に追従するように照射する。そして、光ディスクから得られた反射光を電気信号に変換する。この変換後の再生信号は、AGC（自動ゲイン制御）回路に入力されて振幅変動が補正され、帯域制限フィルタを通過し符号間干渉除去のためのトランスバーサルフィルタ等の回路を経てフィルタリング処理が行われ、図1に示す再生信号101となる。

【0043】なお、再生信号101はアナログ信号をそのまま用いる構成であってもよいが、パルス化回路として信頼性の高い信号処理アルゴリズムを採用する場合にはデジタル化が不可欠である。そこで本実施例では、前記した電気信号に変換後の再生信号をA/D変換器等

の回路によってデジタル化してから、図1に示す再生信号101として情報検出装置に入力されるようになっている。

【0044】さて、加算器102に入力された再生信号101には除算器104から入力されたオフセット量105が加算される。加算結果106はパルス化回路107に入力され、2値化情報108が検出情報として出力される。パルス化回路107は例えば最尤検出器で構成することができる。2値化情報108は、例えばトランスバーサルフィルタに代表されるフィルタ109に入力される。フィルタ109の出力111は、再生チャンネルと同じ符号間干渉を持っている。再生チャンネルが線形であれば、どのようなチャンネルでもトランスバーサルフィルタで実現可能であることは周知の事実である。

【0045】フィルタの出力111は、位相補正回路103から出力される位相補正後の再生信号112と共に減算器113に入力され、両者の差を表わした差信号114が生成される。ここで位相補正回路103は、フィルタの出力111と再生信号101の位相が同位相となるように調整する回路である。位相補正回路103は、例えば時間遅延回路あるいはFIFO（先入れ先出し）メモリによって構成することができる。減算器113から出力される差信号114は積分器116に入力される。

【0046】積分器116は、再生信号に含まれているノイズ分の影響を緩和するために、差信号114をチャンネルごとに加算していく回路である。ただし、差信号114を過去から現在まですべて加算すると、直流変動に対応することができない。そこで、積分器116はある時定数をもった、例えばトランスバーサルフィルタのようなものを使用する。

【0047】本実施例で積分器116は差信号114を順次次の段に出力する第1～第 $(n-1)$ のラッチ回路117₁～117 _{$n-1$} と、第1のラッチ回路117₁の手前から第 $(n-1)$ のラッチ回路117 _{$n-1$} の出力までを加算する加算回路118によって構成されている。積分器116から出力されるこれら時間を異にした n 個分の差信号114を加算した加算結果119は、除算器104に入力される。除算器104は、積分器116の加算数 n を数値 n で割算して平均値を算出する。再生信号101に重畳しているオフセット量を x とすると、この平均値は符号が逆転した $-x$ を表わすオフセット量105となる。オフセット量105は加算器102に入力され、フィードバック制御が行われる。これによって、再生信号101に重畳されている直流成分を離散時間ごとに補償することができ、正確な情報検出が可能になる。

【0048】第2の実施例

【0049】図2は、本発明の第2の実施例における情報検出装置を示したものである。この情報検出装置は請

求項2記載の発明に対応するものである。この第2の実施例では、第1の実施例と同様に加算器102、位相補正回路103、パルス化回路107、フィルタ109および減算器113を備えている。減算器113の生成した差信号114は、クリア信号付き積分器122に入力される。クリア信号付き積分器122には、ここでは図示していないPLL（Phase Locked Loop）回路によって再生信号から抽出した同期クロックパルス（PCLK）123の供給を受けるタイミング発生回路124から、所定の時間間隔で零クリア信号125が入力されるようになっている。

【0050】クリア信号付き積分器122は、差信号114を1クロック前までの加算結果と加算する加算器127と、この加算結果を保持するラッチ回路128を備えている。ラッチ回路128にラッチされた内容は、加算器127にフィードバックされて次々と新たな差信号114の加算が行われる。またラッチ回路128に保持された今までの積分結果は、外部の除算器129に出力されるようになっている。零クリア信号125は、ラッチ回路128に入力されて、前記した所定の時間間隔でその内容を零クリアするので、この時間間隔が先の第1の実施例の情報検出装置における時定数に相当することになる。

【0051】除算器129の出力131は他のラッチ回路132に入力され、タイミング発生回路124から出力される他のラッチタイミング信号133によって周期的にラッチされ、このラッチされた平均値が再生信号101に重畳しているオフセット量105となる。オフセット量105は、第1の実施例と同様に加算器102に入力されて再生信号101に加算され、その加算結果106はパルス化回路107に入力されて、2値化情報108が検出情報として出力されることになる。なお、第1の実施例の情報検出装置はアナログ回路としてもデジタル回路としても構成することができるが、この第2の実施例およびそれ以降の実施例では情報検出装置をデジタル回路として構成している。

【0052】図3は、この第2の実施例の情報検出装置における各種の信号の発生の様子を表わしたものである。この図で横軸は時間の経過を示している。同図

(a)は再生信号101を表わしている。再生信号101には直流変動成分が重畳しているので、このままでは正確なレベル検出を行うことができない。

【0053】同図(b)は、ラッチ回路132のラッチタイミングを表わしており、同図(c)はクリア信号付き積分器122がクリアされるタイミングを表わしている。ラッチタイミング信号133（図3b）が零クリア信号125よりもクロックパルス123の例えば2分の1クロック分だけ早く出力されるように構成されることで、ラッチ回路132には零クリアされる直前の平均値がオフセット量105（図3d）として保持され、次の

ラッチタイミングまでその値が図1に示す加算器102に入力されることになる。加算器102は、図3(d)に示すように右肩下がりのオフセット量105を右肩上がりの再生信号101に加算するので、結果として正確なレベル検出が可能になる。

【0054】第3の実施例

【0055】図4は本発明の第3の実施例における情報検出装置を表わしたものである。この情報検出装置は請求項3記載の発明に対応するものである。この第3の実施例では、第1および第2の実施例と同様に加算器102、パルス化回路107およびフィルタ109を備えている。再生信号101は第1および第2の実施例の位相補正回路103の代わりにラッチ回路141に供給されるようになっている。また、フィルタ109の出力111は他のラッチ回路142に供給される。このラッチ回路142には、クロックパルス(PCLK)123の供給を受けるタイミング発生回路144から、所定のクロック信号145が入力され、これらのタイミングで出力111のラッチが行われるようになっている。この図4では先の実施例の位相補正回路103を用いず、ある時刻 t にフィルタ109の出力111をラッチし、さらにパルス化回路107の入力からフィルタ回路109の出力までの時間遅延量 τ だけ経過した時刻($t+\tau$)に再生信号101の値をラッチしている。これにより、同位相の2つの信号のサンプルが得られる。このためには、タイミング発生回路144が τ だけ位相のずれたラッチタイミングを発生させることになる。

【0056】位相が揃えられた後の両ラッチ回路141、142の出力146、147は減算器148に入力され、これらの差信号149がクリア信号付き積分器151に入力されるようになっている。クリア信号付き積分器151は、差信号149を1クロック前までの加算結果と加算する加算器153と、この加算結果を保持するラッチ回路154を備えており、このラッチ回路154にラッチされた内容を加算器153にフィードバックして次々と差信号149を加算すると共に、これらの積分結果を外部の除算器155に出力するようになっている。零クリア信号156は、タイミング発生回路144からラッチ回路154に入力されて、所定の時間間隔でその内容を零クリアするものである。

【0057】タイミング発生回路144は、更に2種類のクロック信号157、158を発生させ、このうちの前者のクロック信号157は他のラッチ回路159に供給され、後者のクロック信号158は再生信号101を入力するラッチ回路141に供給されるようになっている。ラッチ回路159は除算器155からその出力161の供給を受けてクロック信号157の供給されるタイミングで出力161を順次ラッチする。このラッチされた平均値がオフセット量163として加算器102に供給されることになる。また、ラッチ回路141の方は、

再生信号101をクロック信号158の供給されるタイミングでラッチして、前記した出力146として減算器148に入力することになる。

【0058】この第3の実施例の情報検出装置は、パルス化回路107の入出力の位相差が大きくなったときにも装置全体の規模が大きくならないような工夫を行ったものである。例えば先の第1および第2の実施例の情報検出装置では、パルス化回路107の入出力の位相差が数十クロックとなることも考えられるので、これらを図1または図2に示した位相補正回路103で補正するためには多くのメモリ回路が必要となり、情報検出装置全体の規模が大きくなってしまふおそれがあるからである。

【0059】そこで、第3の実施例では先の実施例で利用した位相補正回路103の代わりとして出力111をラッチするラッチ回路142と、再生信号101のレベルをラッチする他のラッチ回路141との出力146、147の位相差を、これが零になるようなタイミングを発生させるタイミング発生回路144によって制御するようにしている。本実施例では、このタイミング発生回路144が零クリア信号156とクロック信号157も発生させるようになっている。

【0060】図5は、この第3の実施例の情報検出装置におけるタイミング発生回路の出力を中心とした各種の信号の発生の様子を表わしたものである。この図で横軸は時間の経過を示している。同図(a)はクロック信号158によるラッチ回路141のラッチタイミングを示しており、同図(b)はクロック信号145によるラッチ回路142のラッチタイミングを示している。また、同図(c)はラッチ回路159のラッチタイミングとしてのクロック信号157の出力されるタイミングを示しており、同図(d)はクリア信号付き積分器151のクリアタイミングとしての零クリア信号156の出力されるタイミングを示している。このようにラッチ回路159がラッチした直後にクリア信号付き積分器151の内容がクリアされるので、ラッチ回路159からは図5(e)に示すようにオフセット量163が順次出力され、これが図4に示した再生信号101と加算器102で加算され、この結果として得られた加算結果106によって正確なレベル検出が可能になる。

【0061】第4の実施例

【0062】図6は本発明の第4の実施例における情報検出装置の構成を表わしたものである。この情報検出装置は請求項4記載の発明に対応するものである。この第4の実施例では、第1～第3の実施例と同様に加算器102、パルス化回路107およびフィルタ109を備えている。再生信号101は第1の積分器171にも供給されるようになっている。また、フィルタ109の出力111は第2の積分器172に供給される。第1の積分器171は、再生信号101を1クロック前までの加算

結果と加算する加算器173と、この加算結果をラッチするラッチ回路174で構成されており、ラッチ回路174の出力は加算器173にフィードバックされて加算が行われるようになっている。ラッチ回路174には、クロックパルス(PCLK)123の供給を受けるタイミング発生回路175から、その内容をクリアするための零クリア信号176が所定のタイミングで供給されるようになっている。

【0063】また、第2の積分器172は、フィルタの出力111を前回までのものと加算する加算器178と、この加算結果をラッチするラッチ回路179で構成されている。ラッチ回路179の出力は加算器178にフィードバックされて加算されるようになっている。ラッチ回路179には、タイミング発生回路175からその内容をクリアするための零クリア信号181が所定のタイミングで供給されるようになっている。

【0064】第1および第2の積分器171、172の出力182、183はそれぞれに対応するラッチ回路184、185に供給され、タイミング発生回路175からそれぞれに対して供給されるクロック信号186、187によってラッチされる。これらのラッチ回路184、185の出力188、189は減算器148に入力されこれらの差が求められる。減算器148の出力191は除算器192に入力される。除算器192の出力193は更に他のラッチ回路194に入力され、タイミング発生回路175から出力されるクロック信号195によって周期的にラッチされる。このラッチされた平均値が再生信号101に重畳しているオフセット量197となる。オフセット量197は、加算器102に入力されて再生信号101に加算され、その加算結果106はパルス化回路107に入力され、2値化情報108が検出情報として出力される。

【0065】この第4の実施例の情報検出装置は、第3の実施例の装置における応答性を改良したものである。すなわち、図4に示した第3の実施例の情報検出装置では、離散的にしか差信号を利用することができないために、パルス化回路107の入出力の位相差が大きく、かつDC変動成分が比較的高い周波数成分を有する場合には応答性が悪くなってしまう。そこでこの第4の実施例の情報検出装置では、差をとる前に2つの信号101、111について別々に積分を行うことにしている。すなわち、再生信号101を第1の積分器171により積分し、クロック信号186により定まるラッチタイミングでラッチ回路184によってその積分値を保持する。また、フィルタ109の出力111を第2の積分器172で積分し、クロック信号187により定まるラッチタイミングでラッチ回路185によってその積分値を保持する。

【0066】2つのラッチ回路184、185でそれぞれ保持した積分値の差を減算器148で求め、これによ

って直流成分を検出して、クロック信号195により定まるラッチタイミングでラッチ回路194によってその値を保持し、これをオフセット量197として加算器102で再生信号101に加算し、パルス化回路107に入力するようにしている。

【0067】ただし、第1および第2の積分器171、172のクリアタイミングと各クロック信号186、187、195によるラッチタイミングは、再生されたクロックパルス123からタイミング発生回路175を用いて生成されるようになっている。

【0068】図7は、本実施例のタイミング発生回路から出力される各種の信号によるラッチタイミングとクリアタイミングおよびオフセット量の変化を示したものである。同図(a)は、クロック信号186によるラッチ回路184のラッチタイミングを示しており、同図

(b)は第1の積分器171のラッチ回路174に入力する零クリア信号176によるクリアタイミングを示している。また、図7の(c)はラッチ回路185に入力されるクロック信号187によるラッチタイミングを示しており、同図(d)は第2の積分器172のラッチ回路179に入力される零クリア信号181によるクリアタイミングを示している。更に、図7の(e)はラッチ回路194に入力されるクロック信号195によるラッチタイミングを示しており、同図(f)はラッチ回路194から出力されるオフセット量197の変化を表わしている。これが図6に示した再生信号101と加算器102で加算され、この結果として得られた加算結果106によって正確なレベル検出が可能になる。

【0069】第5の実施例

【0070】図8は本発明の第5の実施例における情報検出装置の構成を表わしたものである。この情報検出装置は請求項5記載の発明に対応するものである。この第5の実施例では、先の第3の実施例における情報検出装置のパルス化回路107をビタビ検出器201で置き換えたものであり、その他の構成は第3の実施例の図4に示した回路構成と同一である。そこで、ビタビ検出器201を除いた回路部分の説明は適宜省略することにする。

【0071】図9は、ビタビ検出器を具体的に表わしたものである。ビタビ検出器201は、加算結果106を入力してその値 X_i から基準レベル E_i との自乗誤差 $(X_i - E_i)^2$ の計算を行うブランチメトリック生成回路211と、 $\sum (X_i - E_i)^2$ を漸次的に計算しながら状態の遷移情報を検出するACS回路213と、バスメモリ215に格納した過去の遷移パスの選択情報 D_1 、 D_2 、……を用いて最もバスメトリック値(PM_1 、 PM_2 、……)が小さい遷移パスを選択して2値化情報108を検出2値情報として出力する最尤判定回路217から構成することができる。

【0072】

【発明の効果】以上説明したように請求項1～請求項5記載の発明によれば、ディスク媒体からの検出情報としての入力情報が直流変動成分を含んでいても、これを補償することで、良好に情報を再現することができる。このため、ファイル装置の信頼性を向上させることができ、ファイル装置の普及に大きく貢献することができる。また、請求項3および請求項4記載の発明では、タイミング回路を使用して積分器内のラッチ回路を所定のタイミングで繰り返しクリアすることにしたので、位相補正回路として大規模なメモリを使用する必要がなく、この分だけ検出器の規模を小型化することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における情報検出装置の構成を表わしたブロック図である。

【図2】本発明の第2の実施例における情報検出装置の構成を表わしたブロック図である。

【図3】第2の実施例の情報検出装置における各種の信号の発生の様子を表わした波形図である。

【図4】本発明の第3の実施例における情報検出装置の構成を表わしたブロック図である。

【図5】第3の実施例の情報検出装置におけるタイミング発生回路の出力を中心とした各種の信号の発生の様子を表わした波形図である。

【図6】本発明の第4の実施例における情報検出装置の構成を表わしたブロック図である。

【図7】第4の実施例のタイミング発生回路から出力される各種の信号によるラッチタイミングとクリアタイミングおよびオフセット量の変化を示した波形図である。

【図8】本発明の第5の実施例における情報検出装置の

構成を表わしたブロック図である。

【図9】ビタビ検出器を具体的に表わしたブロック図である。

【図10】直流成分を含んだ再生信号のレベル検出を正確に行うために従来提案された情報検出装置の要部を表わしたブロック図である。

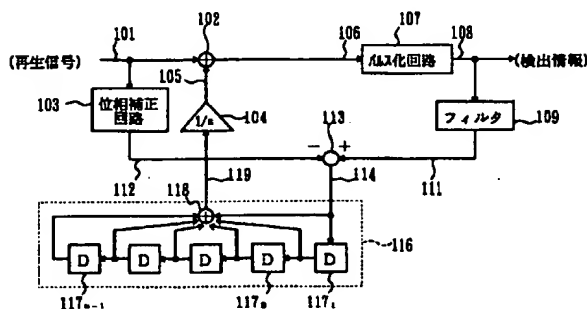
【図11】従来提案された他の情報検出装置の要部を表わしたブロック図である。

【図12】従来提案された更に他の情報検出装置の要部を表わしたブロック図である。

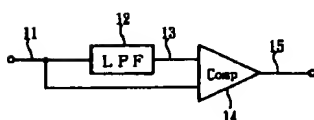
【符号の説明】

- 101 再生信号
- 102 加算器
- 103 位相補正回路
- 104、129、155 除算器
- 107 パルス化回路
- 109 フィルタ
- 113、148 減算器
- 116、122、151 積分器
- 123 クロックパルス
- 132、141、142、154、159、174、179、184、185、194 ラッチ回路
- 144、175 タイミング発生回路
- 171 第1の積分器
- 172 第2の積分器
- 201 ビタビ検出器
- 211 ブランチメトリック生成回路
- 213 ACS回路
- 215 パスメモリ

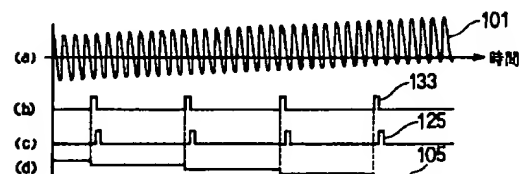
【図1】



【図10】



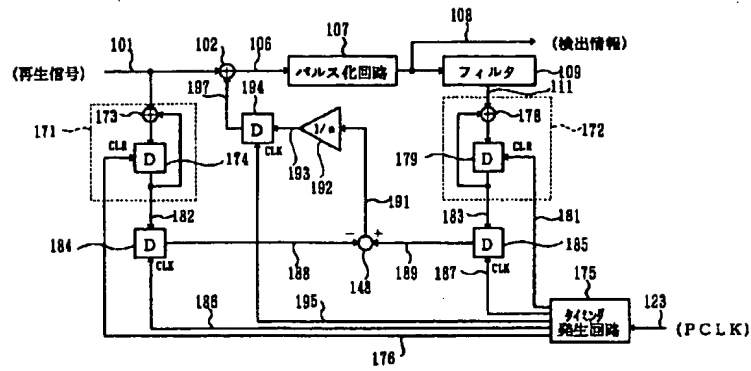
【図3】



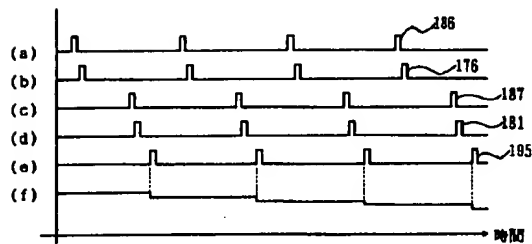
[illegible]

Figure 1 is a block diagram of a digital signal processing circuit. The circuit includes a '再生信号' (Regenerated Signal) input 101, a 'パルス化回路' (Pulsing Circuit) 107, a 'フィルタ' (Filter) 109, and a 'タイミング発生回路' (Timing Generation Circuit) 123. The timing circuit provides a 'PCLK' signal 123. The regenerated signal 101 is processed through a series of delay elements (D) and adders (+) to produce an output '検出情報' (Detection Information). Key components include adders 102, 148, and 149; delay elements 141, 142, 153, 154, and 158; a multiplier/divider 155; and a feedback loop involving a divider 156 and a multiplier 157. The circuit is controlled by a 'CLR' signal.

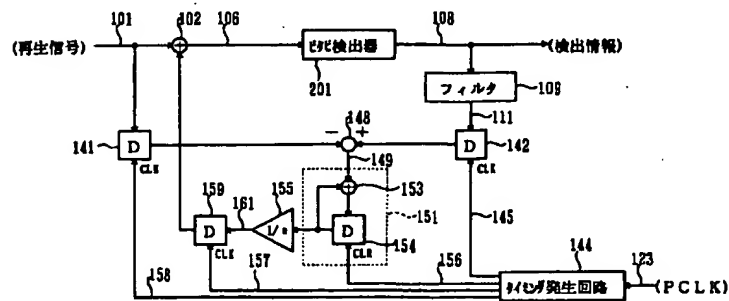
【図6】



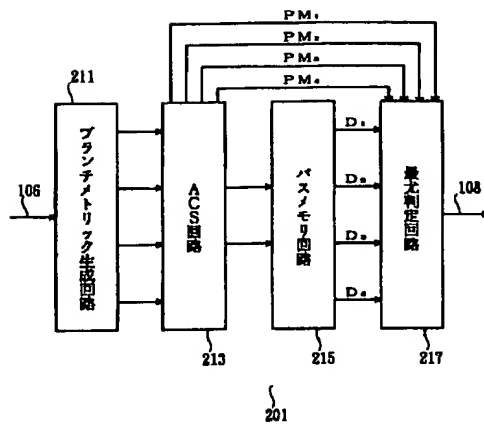
【図7】



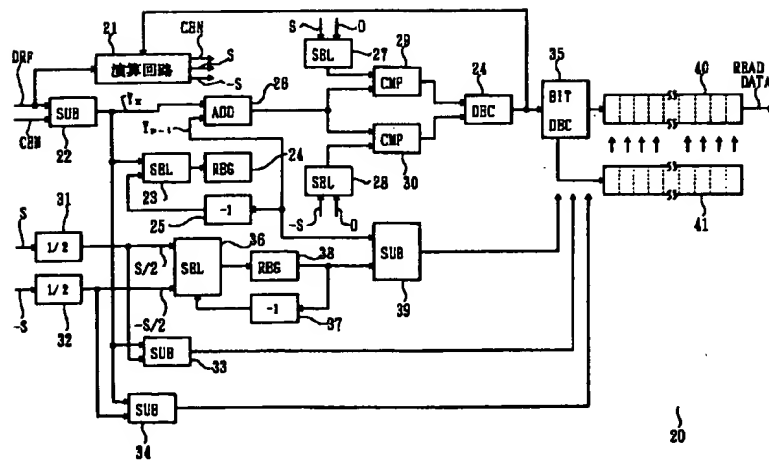
【図8】



【図9】



【図11】



【図12】

